

Elektroniker[®]

Elektronik-Magazin
Elektronik-Fachteil
Aktuelle Computertechnik

Ausklappbare
Leserdienstkarten
am Schluss
des Heftes

5/77

Hoher Bedienungskomfort dank Mikroprozessor: programmierbarer
Funktionsgenerator Modell 172 von Wavetek (Kontron Electronic AG, 8048 Zürich)

CJB

Fr. 6.-



Redaktion

Hans Biefer, dipl. El.-Ing.,
Chefredaktor
CH-3400 Burgdorf
Scheunenstrasse 18 d
Telefon 034/22 14 61

Peter Stuber, dipl. El.-Ing.
CH-3400 Burgdorf
Herzogstrasse 4
Telefon 034/22 18 64

Georg Moellerke, El.-Ing. und
staatlich geprüfter Übersetzer
CH-5415 Nussbaumen
Kornweg 5
Telefon 056/82 23 51

Richard Squire, El.-Ing.
Postfach
CH-8968 Mutschellen
Telefon 057/5 48 60

Verlag, Copyright, Insetate, Druck, Expedition

© Fachschriftenverlag
Aargauer Tagblatt AG
CH-5001 Aarau
Bahnhofstrasse 39-43
Telefon 064/22 63 34, Telex 68 146
Insetatenverwaltung für die
französischsprachige Schweiz:
IVA SA de publicité internationale,
1004 Lausanne,
19, avenue de Beaulieu,
Téléphone 021/37 72 72

Erscheinungsweise, Abonnemente

Erscheint monatlich (12 Hefte)
Abonnementspreise Inland Fr. 63.-
Ausland Fr. 70.-
Aussereuropäische Länder und
Ostblockstaaten Fr. 79.-

Verlags- und Übersetzungsrechte

Mit der Annahme von Manuskripten
durch die Redaktion und der Autor-
Honorierung durch den Verlag,
erwirbt der Verlag das Copyright
und insbesondere alle Rechte zur
Übersetzung und Veröffent-
lichung der entsprechenden Beiträge
in anderen verlagseigenen Zeit-
schriften sowie zur Herausgabe
von Sonderdrucken.

Nachdruck nicht gestattet

Das Photokopieren aus dem
«Elektroniker», das über Einzel-
stücke hinausgeht, ist untersagt

Zeitschriften im gleichen Verlag

«électronique»
revue professionnelle d'actualité sur
l'électronique et l'automatique
rubrique permanente en anglais
technique
Elektrotechnik
Autotechnik
Sanitär-Installateur
installateur sanitaire
Heizung/Klima

Elektronik-Magazin

Flüssigkristalle werden leuchtend!	3
Boll-Visex II	3
Echtzeit-Analysator SD 340	4
Mikroprozessor-Analog-Ein-/Ausgabesysteme – voll buskompatibel	5
Messer-, Gabel- und Löffelkontakte?	8
Wer ist Schlumberger?	8
Solartron-Schlumberger lädt ein	9
Preiswerte Silizium-Fototransistoren	11
Programmierbarer Funktionsgenerator mit Mikroprozessor	11
Lötautomat HD 190	12
Umgesetzte Metallschichtwiderstände mit Qualitätsgarantie	12
Selbstklebetechnik löst Probleme	13
Electronic News	14
Honeywell Bull setzt Akzente auf DSE	17
Mikroprozessoren in kleinen kommerziellen Computersystemen	17
Neuer Steckspeicher mit 16K × 16 Bit	19
Elektronisches Kassensystem mit doppeltem Quittungsdruck	19
Neuer Grossrechner	20
Zilog Z80	20
Die W. Stolz AG	21
Mikroprozessor steuert Sprachansage für blinde Telefonisten	21
Computer News	23
Fachliteratur	24
Weiterbildung – ein Gebot unserer Zeit	25
Veranstaltungen	29
Kurz-Informationen/Elektronische Bauelemente	33
Nichtelektronische Bauelemente	38
Messung elektrischer Grössen	47
Messung nichtelektrischer Grössen	53
Regeln, Steuern, Automatisieren	56
Fertigungstechnik, Werkstoffe	59
Datentechnik	63
Kataloge, Datensammlungen	67
Stromversorgung, Energieelektronik	67
Verschiedenes	70

Elektronik-Fachteil (nur in Ausgabe A enthalten)

Einfacher Logikanalysator für den Datenbereich M. Barnig	EL 1
Der Aufbau von Bus-Systemen P. Rutishauser	EL 7
Die Bedeutung der Divisionsalgorithmen für die schnelle Analog/Digital-Umsetzung M. Zimmer	EL 16
Käferfibel V D. G. Larsen, P. R. Rony, J. A. Titus	EL 21
Käferfibel V, Antworten	EL 30
Aus Forschung und Entwicklung:	
Verarbeitung von analogen Signalen mit hochintegrierten Schaltungen	EL 31
Registriergerät für Autoabgase	EL 32
Aus der Elektronikindustrie:	
Funktionsgeneratoren	EL 33
Auch die «letzte» Nebenuhr läuft synchron mit der Atomuhr/Lichtleiterkabel von Valtec	EL 35
Funkverbindungen – ein Mittel der Führung im Zivilschutz/Neuer Überspannungsableiter für extreme Stromanstiege/	
Ätzfreie Herstellung von Leiterplatten	EL 36
Umweltdaten auf Magnetband	EL 37
MBB-Kybernetik zielt auf Teilmärkte der Industrieinformatik	EL 38
Die Zeit kann im Betrieb nicht mehr stehenbleiben/Schnelles Messen mit Bildanalysator/	
Siemens kündigt Textsystem 580 an	EL 39
Akustische Schilfe für Blinde	EL 40
Technisches Englisch:	
Fastest circuits are still ECL	EL 41
Fog forecasts still an art	EL 42
Corning glass glaze on silica-fiber tile will shield shuttle	EL 43
Clean oil to save Acropolis	EL 44
IEEE 488: A new line on interfacing instruments J. Weldon	EL 45
Picture a hot spot	EL 47
'ETR' vocabulary 19	EL 48

Einfacher Logikanalysator für den Datenbereich

Marco Barnig, dipl. El.-Ing. ETH*

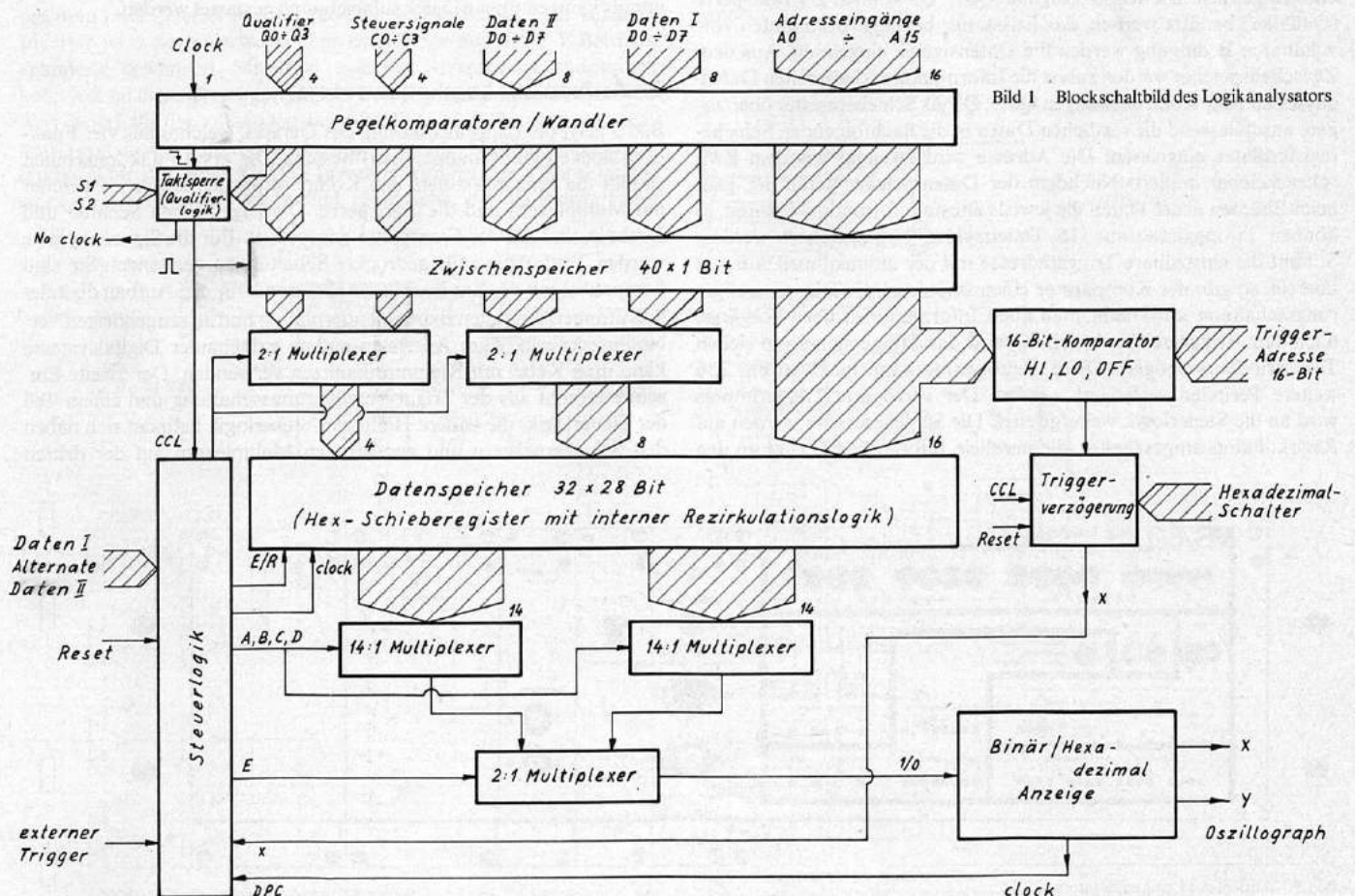
Beim Austesten von Mikroprozessorsystemen ist mancher Entwicklungsingenieur überfordert, wenn er mit einem normalen Oszilloskop den Funktionsablauf untersuchen soll. Logikanalysatoren sind für diesen Zweck nicht nur nützliche, sondern notwendige Hilfsmittel [1]. Das haben inzwischen auch die Hersteller von Messgeräten erkannt. Sie bieten Instrumente an, welche im Zeitbereich oder im Datenbereich arbeiten und eine bequeme Analyse von digitalen Schaltungen erlauben. Leider sind diese Geräte für viele Mikroprozessoranwender zu teuer. Die Leistungsfähigkeit der Geräte wird beim Austesten von Mikroprozessoren oft nicht voll ausgenutzt, auf manchen Bedienungskomfort würde man zugunsten einer Preisreduktion verzichten. Hingegen vermisst man oft Eigenschaften, welche eine wirksamere Fehlersuche erlauben würden. Eine ungenügende Anzahl Kanäle und eine ungeeignete Darstellung der Signale auf dem Bildschirm (Datenbereich) sind die häufigsten Mängel. Der Selbstbau eines Logikanalysators ist zwar nicht problemlos, aber er bietet den Vorteil, das Gerät den eigenen Ansprüchen anzupassen [6]. Dieser Bericht soll keine Anleitung für einen Nachbau, sondern ein Anreiz für eigene Entwicklungen sein.

*Institut für Elektronik ETHZ, CH-8006 Zürich

1. Entwicklungsgeschichte

Am Ausgangspunkt unserer Entwicklung stand folgender Wunsch: In einem 8-Bit-Mikroprozessorsystem soll beim Auftreten einer vorwählbaren 16-Bit-Adresse (Triggeradresse) der Zustand des Adress- und des Datenbusses sowie der Kontrolleleitungen vor, während und nach der Triggerung angezeigt werden. Die höchstmögliche Taktfrequenz bei der synchronen Datenaufzeichnung soll wenigstens 1 MHz betragen. Das erste Problem war die Realisierung einer billigen Anzeige. Ein Binärdisplay mit einem Oszilloskop ohne Strahlaustattung als Anzeigeeinheit erschien zunächst als angemessene Lösung. Später wurde diese Anzeige durch ein Hexadezimaldisplay ergänzt. Da man auf dem Oszilloskop nicht mehr als 16 Zeilen lesbar darstellen kann, wurde es nicht als sinnvoll erachtet, mehr Informationen abzuspeichern. Das zweite Problem war die Wahl eines geeigneten billigen, aber genügend schnellen Datenspeichers mit 16×28 Bit. 5 statische Hex-32-Bit-Schieberegister (Typ 2518) in paralleler Anordnung waren am besten geeignet. Dank ihrer internen Rezirkulationslogik konnte man sie gleichzeitig als Bildwiederholpeicher benutzen. Da die Kapazität dieser Schieberegister zweimal so gross ist wie der oben beschriebene Minimalbedarf, wurde nach einer sinnvollen Ausnutzung des freien

Bild 1 Blockschaftbild des Logikanalysators



Speicherplatzes gesucht. Eine Erweiterung der Anzahl Kanäle wurde als nützlichste Ergänzung angesehen. Die Schaltung wurde nun so entwickelt, dass man gleichzeitig mit der Adresse zwei Datenbusse und zweimal vier Kontrollsignale einliest und hintereinander abspeichert. Bei der Anzeige kann man wahlweise die beiden Datensätze einzeln oder mit der Bildwechselfrequenz alternierend darstellen. Die alternierende Darstellung beider Datensätze ermöglicht einen raschen Datenvergleich, da durch die Überlagerung ungleicher Bits eine durchgestrichene Null entsteht. (Der zweite Datenbus kann zum Beispiel der I/O-Bus eines Peripheriegerätes sein.)

Die Entwicklung einer Eingangsschaltung war das dritte Problem. Die Eingangsstufen müssen hochohmig und kapazitätsarm, störsicher, genügend schnell und preisgünstig sein und einstellbare Schwellwerte besitzen. Zudem müssen sie einfach aufgebaut sein, da sie in vierzigfacher Ausführung benötigt werden (40 Kanäle). CMOS-Pegelwandler (4049) erfüllen diese Bedingungen. Die Realisierung eines 16-Bit-Triggerwortkomparators, einer einstellbaren Triggerverzögerungsschaltung, eines Zwischenspeichers mit Multiplexern und der Steuerlogik waren die nächsten Entwicklungsschritte, welche keine besonderen Probleme aufwarfen. Das Blockschaltbild des Gerätes wird in Bild 1 dargestellt.

2. Beschreibung des Blockschaltbildes

Die anliegenden Datensignale durchlaufen die Eingangsstufe und werden bei der fallenden Flanke des Taktimpulses in einen Zwischenspeicher eingelesen. Die Kontrollsignale Q0...Q3 können als Taktsperre (Qualifier) benützt werden, das heisst, nur bei einer bestimmten vorwählbaren Bedingung werden die Datensignale eingelesen. Aus dem Zwischenspeicher werden zuerst die Informationen des zweiten Datenbusses und der Kontrolleitungen Q0...Q3 ins Schieberegister übertragen, anschliessend die restlichen Daten in die nachfolgenden Schieberegisterplätze eingelesen. Die Adresse wird zweimal aus dem Zwischenspeicher kopiert. Nachdem der Datenspeicher gefüllt ist, geht beim Einlesen neuer Daten die jeweils älteste Information verloren, es können ja maximal nur 16 Datenzyklen abgespeichert werden. Stimmt die einstellbare Triggeradresse mit der momentanen Adresse überein, so gibt der Komparator einen Impuls an die Triggervverzögerungsschaltung ab. Damit man auch Informationen über Vorgänge nach dem Triggerzeitpunkt erhält, wird das Triggersignal um sieben Taktperioden verzögert. Diese Verzögerung kann maximal um 256 weitere Perioden verlängert werden. Der verzögerte Triggerimpuls wird an die Steuerlogik weitergeleitet. Die Schieberegister werden auf Rezirkulation umgeschaltet, die parallele Information (Zeile) an den

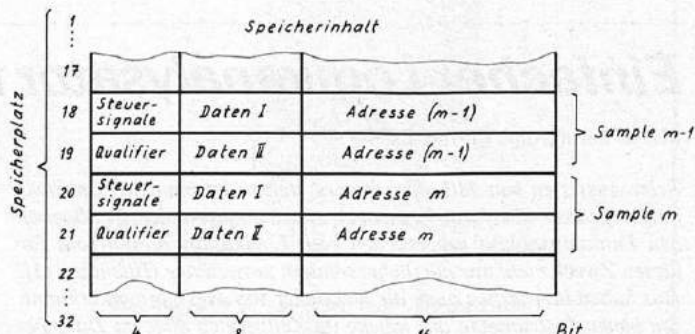


Bild 2 Im 32×28-Bit-Schieberegister werden die beiden Datensätze jeweils hintereinander abgespeichert.

Ausgängen wird für die Anzeige mit einem Multiplexer serialisiert. Am Ende jeder Bildzeile wird das Schieberegister jeweils um zwei Speicherplätze verschoben, damit nur die zusammengehörenden Daten angezeigt werden (Bild 2). Beim Umschalten zwischen den beiden Datensätzen während der Darstellung muss der Schieberegisterinhalt entweder einmalig oder beim Überlagerungsbetrieb nach jeder Bildwiederholung geeignet verschoben werden. Die nötigen Taktimpulse für das Schieberegister und die Steuersignale für die Multiplexer werden von der Steuerlogik geliefert. Der Bildgenerator erzeugt die x- und y-Ablenkspannungen zur Darstellung der Datensätze in Binär- oder in Hexadezimalform auf dem Oszilloskopschirm. Mit einem Reset-impuls kann eine neue Datenaufzeichnung gestartet werden.

3. Aufbau des Logikanalysators

Bild 3 zeigt die Laborausführung des Gerätes, welches aus vier Funktionsblöcken (Einschubplatinen) besteht. Die erste Funktionseinheit enthält die Eingangsstufen, den Komparator, den Zwischenspeicher mit Multiplexern und die Taktsperr. Die zugehörigen Schalter und Buchsen sind auf der Frontplatte angeordnet. Für die Signaleingänge wurden Testbuchsen für gedruckte Schaltungen verwendet. Sie sind kompatibel mit den am Institut für Elektronik für den Aufbau digitaler Schaltungen benützten Experimentierplatten und den zugehörigen Verbindungskabeln. Zum Austesten anders aufgebauter Digitalsysteme kann man Kabel mit Klemmprüfspitzen verwenden. Der zweite Einschub besteht aus der Triggervverzögerungsschaltung und einem Teil der Steuerlogik, die andere Hälfte der Steuerlogik befindet sich neben den Schieberegistern und zugehörigen Multiplexern auf der dritten

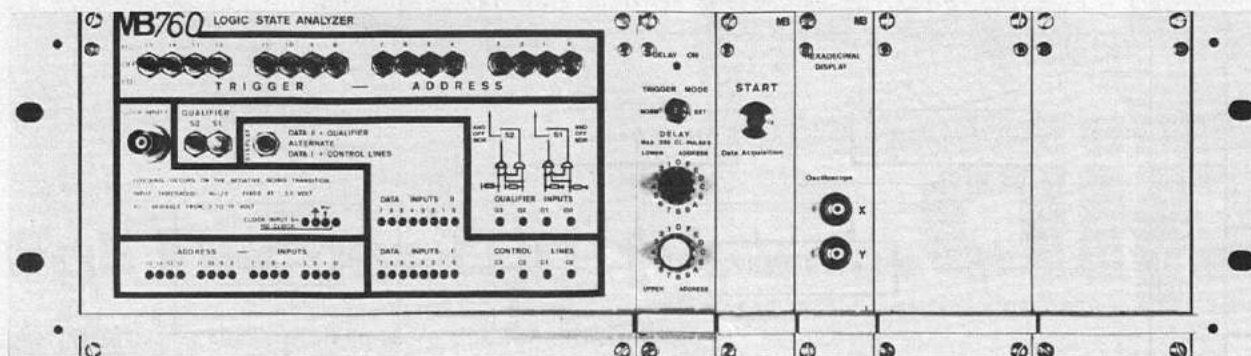


Bild 3 Ansicht des Logikanalysators

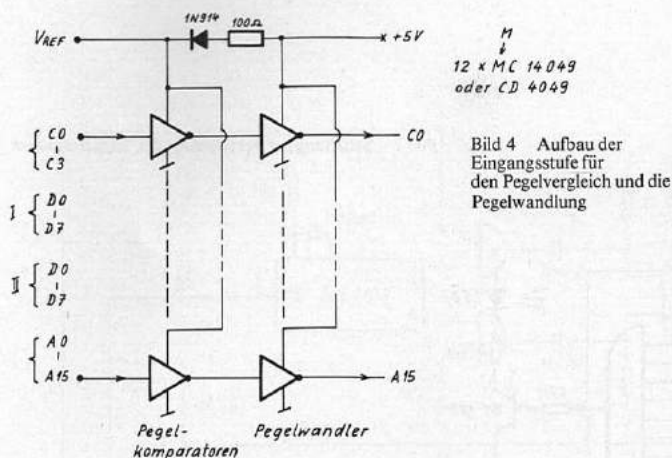


Bild 4 Aufbau der Eingangsstufe für den Pegelvergleich und die Pegelwandlung

Einschubplatine. Die vierte Funktionseinheit enthält die Schaltung zur Darstellung der Daten auf einem normalen Oszilloskop. Man kann wahlweise einen Einschub für die Anzeige der Daten in Binär- oder in Hexadezimalform verwenden.

3.1 Eingangsstufe

Bild 4 zeigt den Aufbau der Eingangsstufe. Als Schwellwertdetektoren werden CMOS-Inverter 4049 verwendet. Im Gegensatz zu den üblichen CMOS-Schaltungen darf bei diesen Pegelwandlern die Eingangsspannung grösser als die Versorgungsspannung sein (bis 18 V). Diese Eigenschaft ergibt für die Eingangsschaltung einen recht zuverlässigen Schutz vor Zerstörung, da die Spannungen der heute üblichen Mikroprozessorsysteme innerhalb dieses Bereiches liegen. Pro Kanal benötigt man zwei Inverter in Kaskade. Die Speisespannung der vorderen Inverter wird normalerweise über eine Diode aus der 5-V-Betriebsspannung gewonnen. Mit einer externen Referenzspannungsquelle kann jedoch diese Versorgungsspannung und damit auch der Schwellwert innerhalb des zulässigen Bereiches (3...18 V Versorgungsspannung) von aussen erhöht oder verringert werden. Die Spannungsübertragungscharakteristik eines CMOS-Inverters kommt der Charakteristik eines idealen Inverters bekanntlich recht nahe; der Schwellwert liegt

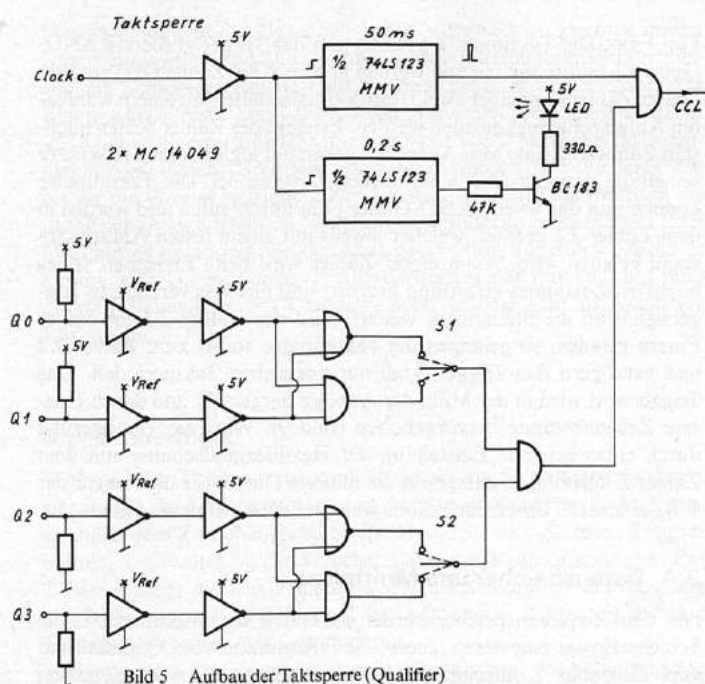


Bild 5 Aufbau der Taktsperre (Qualifier)

ungefähr bei der halben Speisespannung. Ohne externe Spannungsquelle beträgt der Schaltpegel 2,1 V. Das ist sowohl für TTL als auch für mit 5 V betriebene MOS-Schaltungen (zum Beispiel Mikroprozessoren) ein brauchbarer Kompromiss. Die eigentliche Pegelwandlung wird mit den hinteren Invertiern durchgeführt. Sie liefern genügend Strom, um die TTL-Zwischenspeicher (SN 74100) anzusteuern. Für die Verwendung von TTL-Schaltungen an dieser Stelle sprechen die Anforderungen an Geschwindigkeit und Ausgangsstrom.

In einem typischen Mikroprozessorsystem sind die Daten nur kurz vor der aktiven Clockflanke gültig und ändern meist sofort nach dieser Clockflanke. Durch Ausnutzung der Verzögerungszeit der in den Datenpfaden liegenden CMOS-Inverter verhindert man, dass die Daten während der Einlesezeit in den Zwischenspeicher ändern. Bild 5 zeigt den Aufbau der Taktsperre (Qualifierlogik). Beim Taktsignal kann man auf eine Pegelanpassung verzichten und braucht nur den Pegelwandler zu benutzen, da das Taktsignal in der Regel den vollen Spannungshub aufweist. Dadurch wird die Verzögerungszeit gegenüber den andern Kanälen reduziert. Jede steigende Clockflanke triggert zwei Monoflops. Das erste liefert Nadelimpulse, welche durch den «Qualifier» gesperrt werden können. Das zweite Monoflop (retriggerbar) zeigt über eine Leuchtdiode an, wenn kein Taktsignal vorhanden ist. Bei sehr langsamen Taktfrequenzen blinkt diese Leuchtdiode. Mit den Schaltern S1 und S2 kann man die Qualifiersignale Q0...Q3 über AND- oder über NOR-Tore verknüpfen. In der Mittelstellung liegen die Eingänge des AND-Gatters auf logisch eins. Da die Qualifiersignale üblicherweise längere Zeit vor der Taktflanke bereits anstehen, entsteht durch die Taktsperre keine zusätzliche Verzögerung des Taktsignals.

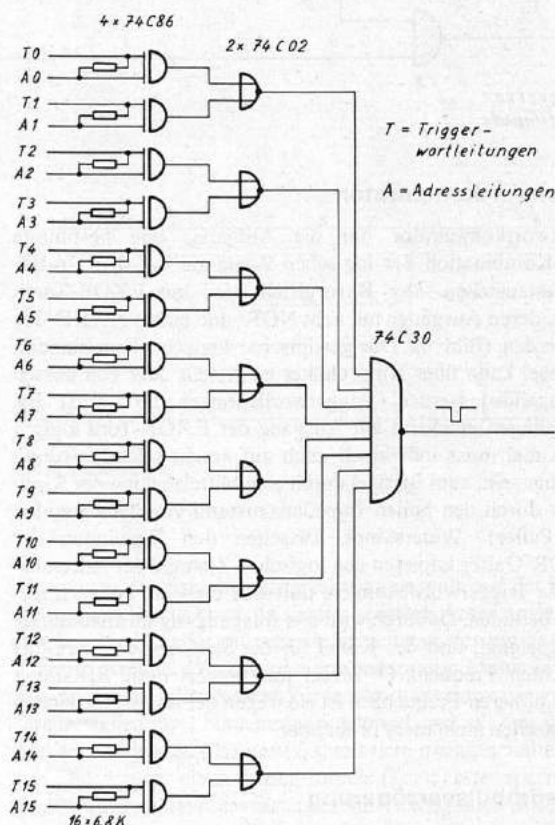


Bild 6 Triggerwortkomparator: Die Triggerwortleitungen T0...T15 können den Zustand logisch null, logisch eins oder hochohmig haben (nicht selektiv).

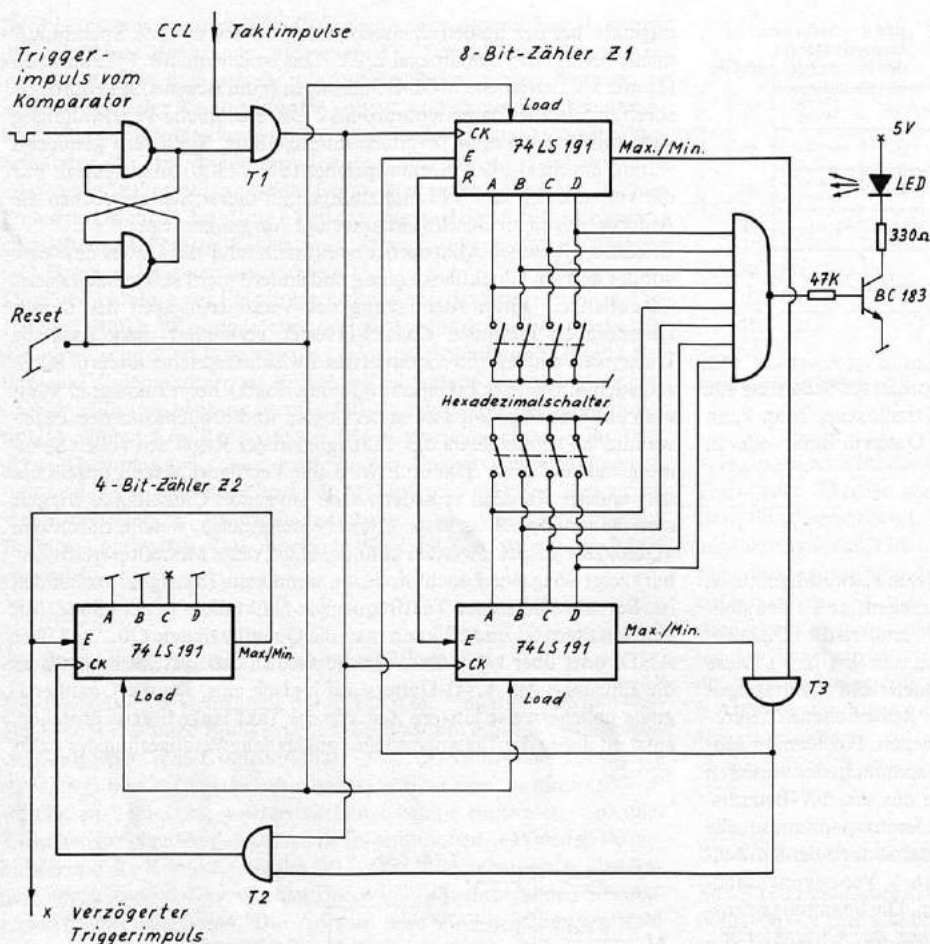


Bild 7 Schaltung zur Verzögerung des Triggerimpulses

3.2 Triggerwortkomparator

Der Triggerwortkomparator hat die Aufgabe, eine bestimmte gewünschte Kombination der logischen Zustände auf dem 16-Bit-Adressbus festzustellen. Der Bitvergleich wird mit EXOR-Toren durchgeführt, deren Ausgänge mit acht NOR- und einem NAND-Tor verknüpft werden (Bild 6). Die gewünschte logische Kombination (Triggeradresse) kann über Kippschalter eingestellt oder von aussen elektrisch zugeführt werden (Triggerwortleitungen T0...T15). Bei gleichen Eingängen erscheint am Ausgang der EXOR-Tore logisch null. Jeder Kanal muss individuell auch auf «nicht selektiv» (don't care) einstellbar sein, zum Beispiel durch eine Mittelstellung der Kippschalter oder durch den hohen Impedanzzustand von Treiberstufen (Three-state-Puffer). Widerstände zwischen den Eingängen der CMOS-EXOR-Gatter kopieren den logischen Zustand der Adressleitungen auf die Triggerwortleitungen, falls sich diese im hohen Impedanzzustand befinden. Dadurch wird das Ausgangssignal unabhängig vom Eingangssignal, und der Kanal für die Selektion gesperrt. Bis zur gewünschten Frequenz (1 MHz) funktioniert diese Schaltung fehlerfrei, bei höheren Frequenzen ist sie wegen der unterschiedlichen Verzögerungszeiten nicht mehr brauchbar.

3.3 Triggerimpulsverzögerung

Bild 7 zeigt die Schaltung zur Verzögerung des Triggersignals. Das Triggersignal, welches vom Komparator geliefert wird, setzt einen RS-

Flip-Flop. Die Taktimpulse können nun das vorher gesperrte AND-Gatter (T1) durchlaufen und werden in dem 8-Bit-Zähler (Z1) gezählt. Dieser Zähler kann über zwei Hexadezimalschalter mit einem wählbaren Anfangszustand geladen werden. Erreicht der Zähler seinen höchsten Zählwert (Max/Min-Ausgänge gehen auf logisch eins), so wird er selbsttätig gesperrt und behält diesen Zustand bei. Die Taktimpulse können nun das zweite AND-Gatter (T2) durchlaufen und werden in dem Zähler Z2 gezählt, welcher jeweils mit einem festen Anfangszustand geladen wird. Auch dieser Zähler wird beim Erreichen seines höchsten Zustandes selbsttätig gesperrt und gibt das verzögerte Triggersignal an die Steuerlogik weiter. Wird der Zähler Z1 mit lauter Einern geladen, so gelangen die Taktimpulse sofort zum Zähler Z2 und verzögern das Triggersignal nur um sieben Taktperioden. Das Triggersignal wird in der Mitte der Anzeige dargestellt und durch grössere Zeilenabstände hervorgehoben (Bild 9). Wird die Verzögerung durch entsprechende Einstellung der Hexadezimalschalter mit dem Zähler Z1 erhöht, so entspricht die mittlere Datenzeile nicht mehr der Triggeradresse. Eine Leuchtdiode weist auf diesen Umstand hin.

3.4 Datenspeicher und Multiplexer

Aus dem Zwischenspeicher werden die Daten über Multiplexer in die Schieberegister eingelesen, zuerst die Information vom Qualifier und vom Datenbus 2, anschliessend die mit Control lines bezeichneten

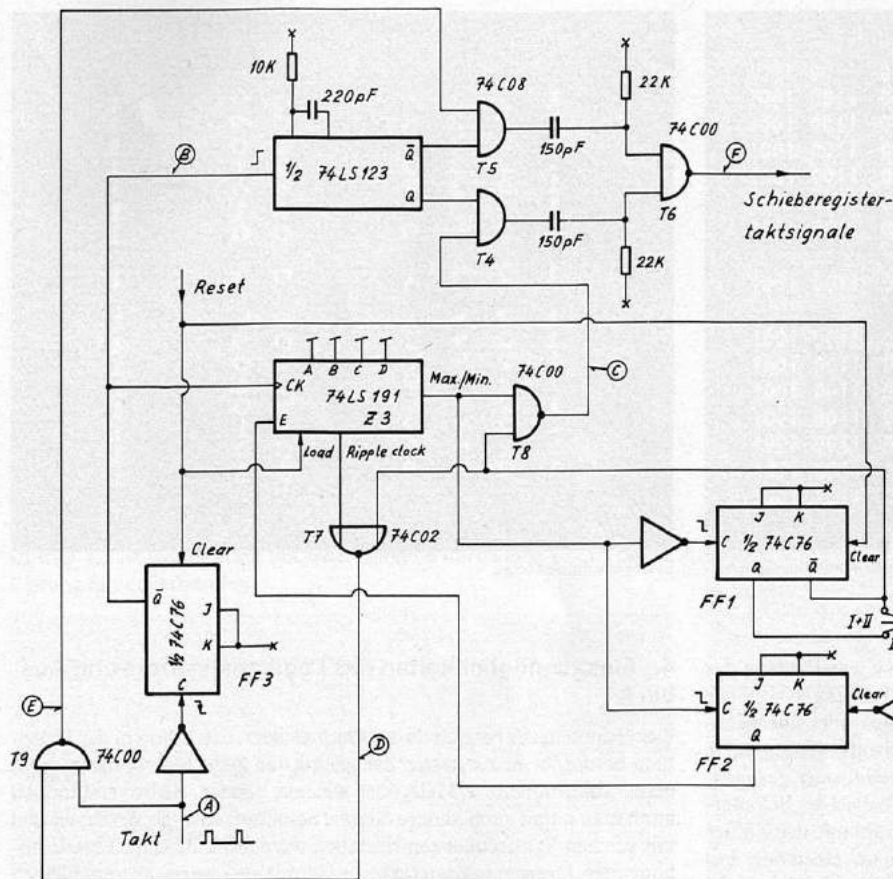
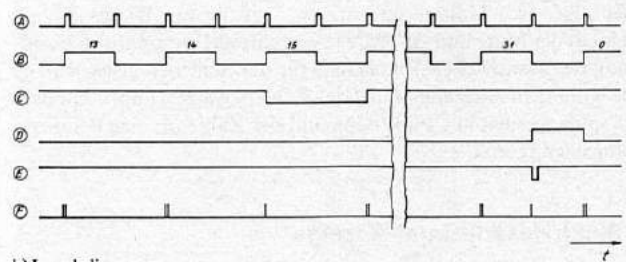


Bild 8 Steuerlogik zur Erzeugung der Schieberegister-taktimpulse während der Datendarstellungsphase
a) Schaltung

Steuersignale und der Datenbus 1. Die Adresse wird zweimal unverändert eingelesen (Bild 2). Innerhalb einer Aufnahmezeitperiode müssen die Schieberegister deshalb zweimal getaktet werden (doppelte Eingangsfrequenz). Die verwendeten statischen Hex-Schieberegister 2518 haben eine garantierte Grenzfrequenz von 2 MHz. Bei der maximalen Aufnahmezeitfrequenz von 1 MHz werden die Schieberegister bis an die Grenze betrieben. Beim Rezirkulationsbetrieb werden die parallelen Ausgangsdaten, welche einer Bildzeile entsprechen, über Multiplexer serialisiert und der Anzeigeschaltung zugeführt. Da dieser kombinierte Datenspeicher/Bildwiederholpeicher nur aus fünf integrierten Bausteinen 2518 besteht, stellt er eine sehr preisgünstige Lösung dar.

3.5 Steuerlogik

Während der Datenaufnahmephase liefert die Steuerlogik die Takt-signale für die Schieberegister und das Steuersignal für die Multiplexer nach dem Zwischenspeicher. Erhält die Steuerlogik einen Triggerimpuls, so schaltet sie die Schieberegister auf Rezirkulation um. Ein Zähler erzeugt die Auswahladresse für die Multiplexer am Ausgang der Schieberegister (zählt von 1 bis 14). Dieser Zähler erhält seine Taktsignale von der Anzeigeschaltung. Stellvertretend für die ganze Steuerlogik, wird nur die Schaltung zur



b) Impulssdiagramm

Erzeugung der Schieberegistertaktsignale während der Datendarstellungsphase beschrieben, da sie den grössten Anteil ausmacht (Bild 8). Nach jeder Bildzeile müssen die Schieberegister um zwei Plätze verschoben werden. Dazu wird ein monostabiler Multivibrator benutzt, aus dessen komplementären kurzen Ausgangsimpulsen mit einem Differenzierglied zwei Nadelimpulse erzeugt und mit einem NAND-Tor addiert werden. Ein Zähler (Z3) mit dem nachgeschalteten Untersetzer FF1 erzeugt einen dritten Impuls (Tor 5) oder sperrt den zweiten Impuls (Tor 4) nach jeweils sechzehn Taktsignalen in der alternierenden Darstellungsphase (Schalter S1 offen). Die Ausgänge vom FF1 zeigen an, ob der erste oder der zweite Datensatz dargestellt wird. Die

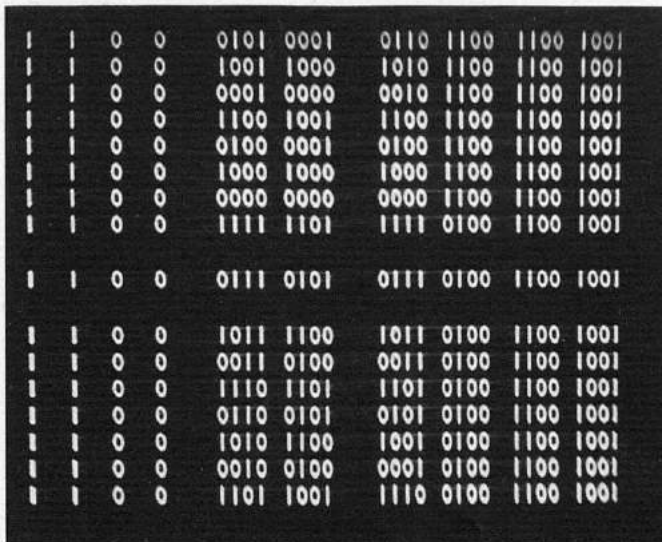
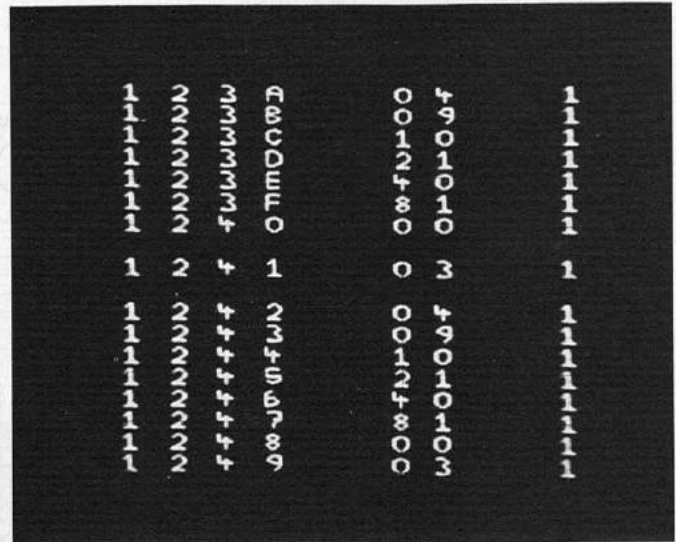


Bild 9 Bildschirmaufnahmen von einem normalen Kathodenstrahloszillographen
a) Binäranzeige



b) Hexadezimalanzeige.

se Ausgänge können mit dem Schalter S1 auf den Clear-Eingang des folgenden Flip-Flops (FF2) geschaltet werden. Abhängig von der Schalterstellung wird der Zähler nach dem nächsten oder übernächsten Darstellungszyklus gesperrt. In dieser Betriebsart werden keine Taktsignale für das Schieberegister zusätzlich erzeugt oder gesperrt, da die Tore 8 und 9 dauernd gesperrt sind. Beim Wechsel der Schalterstellung von einem auf den andern Datensatz durchläuft der Zähler einen einzelnen Zyklus, die Schieberegister werden um einen oder um drei Speicherplätze verschoben, um den gewünschten Datensatz zu erhalten. Mit dem Schalter S1 kann man beliebig oft die Darstellungsart wechseln, ohne dass eine asynchrone Datenverschiebung auftritt. Die Taktsignale für den monostabilen Multivibrator und für den Zähler Z3 werden aus dem unteretzten Überlaufsignal (FF3) des Zählers, welcher die 14:1-Multiplexer steuert, gewonnen. Dieses Signal erscheint in der Mitte und am Ende jeder Bildzeile, zur richtigen Positionierung der zusätzlichen Taktsignale für das Schieberegister wird es im Tor 9 mit dem Ausgangssignal des Zählers Z3 verknüpft. Mit dem Resetimpuls werden alle Flip-Flops und der Zähler in eine definierte Ausgangslage gesetzt.

3.6 Binär/Hexadezimal-Anzeige

Zur Darstellung der Daten in Binärform werden Lissajous-Figuren benutzt, für die Darstellung im Hexadezimalformat wurde ein Zeichengenerator mit abgespeicherten Koordinatenpunkten für die einzelnen Zeichen realisiert [7]. Als Anzeigeeinheit kann jeder normale Kathodenstrahloszillograph verwendet werden, welcher einen XY-Betrieb erlaubt. Beide Verfahren benötigen keine Strahlauastung. Bild 9 zeigt Bildschirmaufnahmen der Binär- und der Hexadezimalanzeige. Die wählbare Triggeradresse mit den zugehörigen Daten und Kontrollsignalen wird durch grössere Zeilenabstände von den übrigen Daten abgehoben, welche zeitlich vor und nach dem Triggersignal auf den Busleitungen auftreten (sofern keine zusätzliche Triggervverzögerung eingestellt ist).

Mit den Positionierungspotentiometern des Oszillographen kann man die Anzeige so verschieben, dass nicht benötigte Datenkanäle am Rand ausgeblendet werden.

4. Einsatzmöglichkeiten des Logikanalysators und Ausblick

Der Haupteinsatzbereich dieses Gerätes liegt, wie schon in der Einleitung betont, beim Austesten der gängigsten 8-Bit-Mikroprozessoren, deren Taktfrequenz 1 MHz oder weniger beträgt. Selbstverständlich kann man damit auch andere digitale Schaltungen analysieren, welche mit solchen Taktfrequenzen betrieben werden [2, 3, 4, 5]. Eine Erhöhung der Datenaufnahmetaktrate ist mit den verwendeten billigen Bauelementen nicht möglich. Die drei wichtigsten Funktionsblöcke, nämlich die Eingangsstufe mit den Pegel-Komparatoren/-Wandlern, der Triggerkomparator und der Datenspeicher werden bis an ihre Geschwindigkeitsgrenze ausgenutzt. Die Verwendung schnellerer Bauelemente macht den Selbstbau eines Logikanalysators beim Preisvergleich mit industriellen Geräten rasch unattraktiv.

Der Verfasser dankt Herrn Prof. Dr. W. Guggenbühl, Vorsteher des Instituts für Elektronik an der ETH Zürich, für sein Interesse an dieser Arbeit.

Literaturverzeichnis

- [1] M. S. Lattmann, C. Flury: «Logikrecorder, ein neues Hilfsmittel in der Digitaltechnik». Der Elektroniker Nr. 10, 1975, S. EL1-EL5.
- [2] C. H. House: «Engineering in the data domain calls for a new kind of digital instrument». Electronics, May 1, 1975, S. 75-81.
- [3] W. A. Farnbach: «Troubleshooting in the data domain is simplified by logic analyzers». Electronics, May 15, 1975, S. 103-108.
- [4] W. A. Farnbach: «The Logic State Analyzer. - Displaying Complex Digital Processes in Understandable Form». Hewlett Packard Journal, Januar 1974, S. 2-9.
- [5] J. C. Hill, C. Fiedler: «Logic Analyzers in System Make Time Run Backward». Computer Design, December 1975, S. 67-72.
- [6] P. Blomeyer: «Logik-Tester für Mikroprozessor-Systeme». Elektronik, Heft 9, 1976, S. 66-68.
- [7] M. Barnig: «Zeichenerzeugung bei Datensichtgeräten mit einem Elektronenstrahl-Oszilloskop als Anzeigeeinheit». Erscheint in einem der nächsten «Elektronik»-Hefte.
- [8] S. Runyon: «Focus on Logic and μ P-Analyzers», Electronic Design 3, February 1, 1977, S. 40...50.